

(pieczęć wydziału)

KARTA PRZEDMIOTU

1. Nazwa przedmiotu: DIGITAL CIRCUITS DESIGN		2. Kod przedmiotu: DCD		
3. Karta przedmiotu ważna od roku akademickiego: 2012				
4. Forma kształcenia: studia pierwszego stopnia				
5. Forma studiów: studia stacjonarne				
6. Kierunek studiów: MAKROKIERUNEK, WYDZIAŁ AEI				
7. Profil studiów: ogólnoakademicki				
8. Specjalność: ELECTRONICS AND TELECOMMUNICATION				
9. Semestr: VII				
10. Jednostka prowadząca przedmiot: Instytut Elektroniki				
11. Prowadzący przedmiot: dr inż. Tomasz Garbolino				
12. Przynależność do grupy przedmiotów: przedmioty specjalnościowe				
13. Status przedmiotu: obowiązkowy				
14. Język prowadzenia zajęć: angielski				
15. Przedmioty wprowadzające oraz wymagania wstępne: Course attendants are supposed to have general knowledge about the design of combinational and sequential digital circuits. They must also have practical skills in assembling such systems. It is assumed that students have passed the following subjects: Theory of Logic Circuits, Digital Circuits.				
16. Cel przedmiotu: The main objective is to provide students with basic knowledge about the design of digital systems using hardware description language VHDL. During the course students should acquire basic knowledge about VHDL data structures and language constructs used for modeling combinational and sequential digital circuits. They should also develop skills in modeling in VHDL simple digital systems as well as the ability to simulate, debug and synthesize models written in that language.				
17. Efekty kształcenia:¹				
Nr	Opis efektu kształcenia	Metoda sprawdzenia efektu kształcenia	Forma prowadzenia zajęć	Odniesienie do efektów dla kierunku studiów
W1	Zna podstawowe konstrukcje leksykalne języka opisu sprzętu VHDL oraz strukturę modelu napisanego w tym języku.	SP	WT, WM	
W2	Zna podstawowe techniki modelowania na różnych poziomach abstrakcji prostych kombinacyjnych i sekwencyjnych układów cyfrowych.	SP	WT, WM	
W3	Zna podstawowe zasady tworzenia modeli w języku VHDL na potrzeby syntezy.	SP	WT, WM	
U1	Potrafi napisać w języku VHDL model prostego układu cyfrowego.	CL, PS	L	
U2	Potrafi przeprowadzić symulację prostego modelu układu cyfrowego i zweryfikować poprawność jego działania.	CL, PS	L	

¹ należy wskazać ok. 5 – 8 efektów kształcenia

U3	Potrafi wykonać syntezę prostego modelu układu cyfrowego i zrealizować go w układzie typu FPGA.	CL, PS	L	
K1	Potrafi pracować w zespole	CL, PS	L	

18. Formy zajęć dydaktycznych i ich wymiar (liczba godzin)

W. 30 Ćw. - L. 30 P. - Sem. -

19. Treści kształcenia:**Wykład**

The main objective of the course is to familiarize students with the basic aspects of designing digital circuits using VHDL. The lecture includes - among others - data structures and language constructs that are useful in modeling for synthesis and verification of digital circuit design. During the course students acquire the basic knowledge of ASIC and FPGA circuits as well as the VLSI design methodology.

Basic information about ASIC and FPGA circuits.

Introduction to VLSI design methodology.

VHDL – overview and application field.

VHDL language and syntax: general language properties, identifiers, naming convention; structural elements; data types and operators; concurrent and sequential statements; subprograms; RTL-style; behavioral, dataflow and structural modeling.

Simulation: sequence of compilation; simulation flow; process execution; delay models

Introduction to design verification – writing simple testbenches

Synthesis: stages of the synthesis process, VHDL constructs used in the modeling for the synthesis, best practices for modeling for the synthesis.

Examples illustrating how to design VHDL models of typical digital components (e.g. multiplexers, coders/decoders, counters, shift registers, FSMs, etc.).

Zajęcia laboratoryjne:

During laboratory classes students design models of typical components of digital systems. Then they simulate the behavior of the models to verify the correctness of their operation. In the next step, students carry out the synthesis of the models and their implementation in an FPGA device located on a demo board.

- Getting familiar with design tools and the demo board.
- Multiplexers, coders / decoders, displaying characters on a 7-segment display.
- Combinational circuits that perform binary-to-decimal (decimal-to-binary) number conversion and binary-coded-decimal (BCD) addition.
- Latches, Flip-flops, and Registers.
- Counters.
- Clocks and Timers.
- Adders, Subtractors, and Multipliers.
- Finite State Machines.
- Memory Blocks.

(oddzielnie dla każdej z form zajęć dydaktycznych W./Ćw./L./P./Sem.)

20. Egzamin: nie**21. Literatura podstawowa:**

1. P. J. Ashenden, "The Student's Guide to VHDL, Second Edition (Systems on Silicon)", Morgan Kaufmann Publishers, 2008
2. Sudhakar Yalamanchili, "VHDL Starters Guide", Prentice Hall, 2005

22. Literatura uzupełniająca:

1. P. J. Ashenden, "The Designer's Guide to VHDL", Morgan Kaufmann Publishers, 2008
2. F. Vahid and R. Lysecky, "VHDL for Digital Design", J. Wiley and Sons, 2007
3. S. Brown and Z. Vranesic, "Fundamentals of Digital Logic with VHDL Design", McGraw-Hill, 2008
4. Pong P. Chu, "FPGA Prototyping by VHDL Examples: Xilinx Spartan-3 Version", J. Wiley and Sons, 2008

23. Nakład pracy studenta potrzebny do osiągnięcia efektów kształcenia

Lp.	Forma zajęć	Liczba godzin kontaktowych / pracy studenta
1	Wykład	30 / 5
2	Ćwiczenia	0 / 0
3	Laboratorium	30 / 15
4	Projekt	0 /
5	Seminarium	0 /
6	Inne	5 / 10
	Suma godzin	65 / 30

24. Suma wszystkich godzin: 95**25. Liczba punktów ECTS:² 3****26. Liczba punktów ECTS uzyskanych na zajęciach z bezpośrednim udziałem nauczyciela akademickiego 2****27. Liczba punktów ECTS uzyskanych na zajęciach o charakterze praktycznym (laboratoria, projekty) 2****26. Uwagi:**

Zatwierdzono:

.....
(data i podpis prowadzącego).....
(data i podpis dyrektora instytutu/kierownika katedry/
Dyrektora Kolegium Języków Obcych/kierownika lub
dyrektora jednostki międzywydziałowej)

² 1 punkt ECTS – 30 godzin.