

(pieczęć wydziału)

KARTA PRZEDMIOTU

1. Nazwa przedmiotu: DIGITAL CIRCUITS DESIGN		2. Kod przedmiotu: DCD		
3. Karta przedmiotu ważna od roku akademickiego: 2012				
4. Forma kształcenia: studia drugiego stopnia				
5. Forma studiów: studia stacjonarne				
6. Kierunek studiów: CONTROL, ELECTRONIC, AND INFORMATION ENGINEERING; WYDZIAŁ AEI				
7. Profil studiów: ogólnoakademicki				
8. Specjalność: ELECTRONICS				
9. Semestr: II				
10. Jednostka prowadząca przedmiot: Instytut Elektroniki				
11. Prowadzący przedmiot: dr inż. Tomasz Garbolino				
12. Przynależność do grupy przedmiotów: przedmioty specjalnościowe				
13. Status przedmiotu: obowiązkowy				
14. Język prowadzenia zajęć: angielski				
15. Przedmioty wprowadzające oraz wymagania wstępne: Course attendants are supposed to have general knowledge about the design of combinational and sequential digital circuits as well as microprocessor systems. They must also have practical skills in designing such systems. Moreover they are supposed to have basic knowledge about VHDL data structures and language constructs used for modeling combinational and sequential digital circuits. They must also have practical skills in modeling in VHDL simple digital circuits as well as the ability to simulate, debug and synthesize models written in that language. It is assumed that students have passed the following subjects: Theory of Logic Circuits, Digital Circuits, Microprocessor Systems, Digital Circuits Design (undergraduate studies).				
16. Cel przedmiotu: The main objective of the course is to provide students with basic knowledge about the design of digital systems using hardware description language Verilog HDL. During the course students should acquire basic knowledge about Verilog HDL data structures and language constructs used for modeling combinational and sequential digital circuits. They should also develop skills in modeling in Verilog HDL simple digital systems as well as the ability to simulate, debug and synthesize models written in that hardware description language.				
17. Efekty kształcenia:¹				
Nr	Opis efektu kształcenia	Metoda sprawdzenia efektu kształcenia	Forma prowadzenia zajęć	Odniesienie do efektów dla kierunku studiów
W1	Zna podstawowe konstrukcje leksykalne języka opisu sprzętu Verilog HDL oraz strukturę modelu napisanego w tym języku.	EP	WT, WM	K_W06
W2	Zna podstawowe techniki modelowania w języku Verilog HDL - na różnych poziomach abstrakcji - prostych kombinacyjnych i sekwencyjnych układów cyfrowych.	EP	WT, WM	K_W05 K_W06

¹ należy wskazać ok. 5 – 8 efektów kształcenia

W3	Zna podstawowe zasady tworzenia modeli w języku Verilog HDL na potrzeby syntezy.	EP	WT, WM	K_W05 K_W06
U1	Potrafi napisać w języku Verilog HDL model prostego mikroprocesora.	CL, PS, OS	L	K_U18 K_U21 K_U23
U2	Potrafi przeprowadzić symulację napisanego w języku Verilog HDL modelu prostego mikroprocesora i zweryfikować poprawność jego działania.	CL, PS, OS	L	K_U18 K_U21 K_U23
U3	Potrafi wykonać syntezę napisanego w języku Verilog HDL modelu prostego mikroprocesora i zaimplementować go w układzie typu FPGA.	CL, PS, OS	L	K_U18 K_U21 K_U23
K1	Potrafi pracować w zespole	CL, PS, OS	L	K_U02 K_K03

18. Formy zajęć dydaktycznych i ich wymiar (liczba godzin)

W. 15 Ćw. - L. 30 P. - Sem. -

19. Treści kształcenia:**Wykład**

The main objective of the course is to familiarize students with the basic aspects of designing digital circuits using Verilog HDL. The lecture includes - among others - data structures and language constructs that are useful in modeling for synthesis and verification of digital circuit design.

The course covers the following topics.

Brief history of Verilog HDL. Design and tool flow. Language syntax and semantics. Gate level modeling. User Defined Primitives. Verilog operators. Behavioral modeling in Verilog HDL. Procedural timing control. Tasks and functions. Systems tasks and functions. Writing testbenches. Modeling memories and FSMs. Parameterized modules. Basics of synthesis of Verilog models. Compiler directives.

Zajęcia laboratoryjne

During the laboratory classes, students design a Verilog HDL model of a simple microprocessor system performing the given set of operations. Then they carry out a simulation of the model to verify the correctness of its operation. In the next step, students carry out the synthesis of a microprocessor model and its implementation in an FPGA device located on a demo board.

(oddzielnie dla każdej z form zajęć dydaktycznych W./Ćw./L./P./Sem.)

20. Egzamin: tak**21. Literatura podstawowa:**

Samir Palnitkar, „Verilog HDL, 2nd edition”, Prentice Hall, 2003

Donald E. Thomas, Philip R. Moorby, “The Verilog hardware description language”, Springer, 2002

22. Literatura uzupełniająca:

Michael D. Ciletti, “Advanced Digital Design with the Verilog HDL”, Prentice Hall, 2010

23. Nakład pracy studenta potrzebny do osiągnięcia efektów kształcenia

Lp.	Forma zajęć	Liczba godzin kontaktowych / pracy studenta
1	Wykład	15 / 5
2	Ćwiczenia	0 / 0
3	Laboratorium	30 / 25
4	Projekt	0 / 0
5	Seminarium	0 / 0
6	Inne	15 / 25
	Suma godzin	60 / 55

24. Suma wszystkich godzin: 115

25. Liczba punktów ECTS:² 4
26. Liczba punktów ECTS uzyskanych na zajęciach z bezpośrednim udziałem nauczyciela akademickiego 2
27. Liczba punktów ECTS uzyskanych na zajęciach o charakterze praktycznym (laboratoria, projekty) 1
26. Uwagi:

Zatwierdzono:

.....
(data i podpis prowadzącego)

.....
(data i podpis dyrektora instytutu/kierownika katedry/
Dyrektora Kolegium Języków Obcych/kierownika lub
dyrektora jednostki międzywydziałowej)

² 1 punkt ECTS – 30 godzin.