



<b>1. Nazwa przedmiotu: PROGRAMMABLE LOGIC DEVICES</b>		<b>2. Kod przedmiotu: PLD</b>		
<b>3. Karta przedmiotu ważna od roku akademickiego: 2012</b>				
<b>4. Forma kształcenia:</b> studia drugiego stopnia				
<b>5. Forma studiów:</b> studia stacjonarne				
<b>6. Kierunek studiów:</b> MAKROKIERUNEK; WYDZIAŁ AEI				
<b>7. Profil studiów:</b> ogólnoakademicki				
<b>8. Specjalność:</b> ELECTRONICS				
<b>9. Semestr:</b> 2				
<b>10. Jednostka prowadząca przedmiot:</b> Instytut Elektroniki, RAu3				
<b>11. Prowadzący przedmiot:</b> dr inż. Józef Kulisz				
<b>12. Przynależność do grupy przedmiotów:</b> przedmioty specjalizacyjne				
<b>13. Status przedmiotu:</b> obowiązkowy				
<b>14. Język prowadzenia zajęć:</b> angielski				
<b>15. Przedmioty wprowadzające oraz wymagania wstępne:</b>				
<ul style="list-style-type: none"> <li>- Knowledge of digital circuit design,</li> <li>- Working knowledge of VHDL,</li> <li>- Basic knowledge of electric circuit theory,</li> <li>- Basic knowledge of semiconductor technologies, and construction of integrated circuits.</li> </ul>				
<b>16. Cel przedmiotu:</b> The objective of the course is to acquaint the students with issues concerning designing digital circuits with the use of modern Programmable Logic Devices (PLD-s). This includes PLD architectures, relevant CAD tools, and Hardware Description Languages.				
<b>17. Efekty kształcenia:<sup>1</sup></b>				
Nr	Opis efektu kształcenia	Metoda sprawdzenia efektu kształcenia	Forma prowadzenia zajęć	Odniesienie do efektów dla kierunku studiów
W1	Zna architektury i właściwości układów logiki programowalnej.	SP	WM	
W2	Ma podstawową wiedzę dotyczącą syntezy logicznej i procesu odwzorowania technologicznego układów cyfrowych w strukturach PLD. Zna i rozumie metodykę projektowania układów cyfrowych oraz systemów elektronicznych w oparciu o układy PLD. Zna języki opisu sprzętu i komputerowe narzędzia do projektowania i symulacji układów PLD	SP, CL	WM, L	
U1	Potrafi zaprojektować układ cyfrowy w oparciu o złożone struktury PLD z uwzględnieniem zadanych kryteriów użytkowych przy wykorzystaniu odpowiednich narzędzi CAD, w tym języków opisu sprzętu.	CL, PS	L	
U1	Potrafi zaplanować i przeprowadzić symulację oraz testowanie układu cyfrowego zrealizowanego w oparciu o struktury PLD.	CL, PS	L	
U2	Potrafi opracować dokumentację wyników realizacji zadania projektowego, potrafi przygotować opracowanie zawierające omówienie tych wyników.	PS	L	

<sup>1</sup> należy wskazać ok. 5 – 8 efektów kształcenia

## 18. Formy zajęć dydaktycznych i ich wymiar (liczba godzin)

W.: 15    Ćw.: -    L.: 15    P.: -

## 19. Treści kształcenia:

### Wykład

#### 1. Introduction

- 1.1. Basic classification of digital circuits with respect to design and manufacturing techniques (Catalogue Logic, Full Custom, ASIC).
- 1.2. ASIC classification (Standard Cell, Gate Array, PLD).
- 1.3. Basic PLD families (SPLD, CPLD, FPGA).
- 1.4. PLD-s – a historical outline.

#### 2. Simple Programmable Logic Devices (SPLD-s)

- 2.1. The general concept.
- 2.2. Process technologies, and programming technologies (metal fuses, the AIM technique, EPLD, EEPLD).
- 2.3. Classification of SPLD architectures (PAL, PLA/FPLA, PROM/PLE).
- 2.4. An overview of available architectures.
- 2.5. Other features of SPLD circuits: static timing model, power supplies, power-saving modes, other configuration options.

#### 3. Elements of synthesis dedicated for SPLD architectures.

#### 4. Complex Programmable Logic Devices (CPLD-s)

- 4.1. CPLD-s – the general architecture.
- 4.2. The Programmable Interconnect Array (PIA).
- 4.3. Macrocell structure: Logic Allocator, (Parallel) Expanders, XOR gate, Flip-flop with programmable type, featuring the Clock Enable input.
- 4.4. I/O cells.
- 4.5. Double feedback lines, and buried flip-flops.
- 4.6. Extensions to the basic architecture: fast inputs, super-wide and tree-shaped expanders, shareable expanders, Output Switch Matrix, the XPLD structure, wide Product Term Allocator, multilevel structures, fast carry generators, block RAM-s.
- 4.7. Other features of CPLD circuits: process technologies, programming techniques, static timing model, power supplies, other configuration options.

#### 5. Field Programmable Gate Arrays (FPGA-s)

- 5.1. The FPGA concept.
- 5.2. The general architecture.
- 5.3. Process technologies, and programming techniques.
- 5.4. Large-grain vs. small-grain architectures.
- 5.5. Large-grain architectures (basing on the Virtex family from Xilinx):
  - 5.5.1. CLB, and Slice structures,
  - 5.5.2. Look-Up Tables (LUT-s) – basic building blocks for combinatorial logic,
  - 5.5.3. Implementing simple combinatorial functions in LUT-s,
  - 5.5.4. Implementing complex combinatorial functions using LUT-s – function decomposition,
  - 5.5.5. Architectures of Routing Channels: fully segmented channels vs. fully non-segmented channels, local connections, single, double, hex, long, lines, global networks, and clock distribution,
  - 5.5.6. Digital clock synthesis,
  - 5.5.7. Fast-carry generators,
  - 5.5.8. RAM memories in FPGA devices: distributed RAM vs. Block RAM,
  - 5.5.9. I/O cells.
- 5.6. A short presentation of Virtex II and Spartan 3 architectures: multiplier blocks, shift registers, Double Data Rate registers.
- 5.7. Programming modes for SRAM-based FPGA-s.
- 5.8. Small-grain architectures (basing on the SX-A family from Actel):

#### 6. Electrical properties of advanced PLD-s

- 6.1. Logic standards in contemporary digital circuits.
- 6.2. I/O banks and power supplies in advanced PLD-s.
- 6.3. The problem of compatibility with 5V logic.
- 6.4. Example unipolar and differential standards supported by modern PLD circuits.
- 6.5. Digitally Controlled Impedance (DCI).
- 6.6. Other I/O configuration options (pull-up, pull-down, open-drain and totem-pole outputs, Bus Keeper, input delay, slew-rate control, limiting output current).
- 6.7. Other configuration options: Security Cell, Electronic Signature, programmable reset states, Boundary Scan Path, etc.
- 6.8. Power consumption in advanced PLD circuits.
- 6.9. Packages and problems concerning PCB design.
- 6.10. Design flow for advanced PLD-s.

<p>6.11. isp programming.</p> <p><b>7. Future trends</b></p> <p>7.1. The concept of System on Chip (SoC).</p> <p>7.2. Intellectual Property (IP) Cores.</p> <p>7.3. Examples of IP Cores for PLD-s:</p> <p>7.3.1. The PicoBlaze CPU core,</p> <p>7.3.2. The NIOS CPU core.</p> <p><b>8. VHDL for synthesis</b></p> <p>8.1. Creating test benches for combinatorial and synchronous circuits.</p> <p>8.2. Synthesis models vs. simulation models.</p> <p>8.3. Initial value assignment for memory elements.</p> <p>8.4. The problem of implicit memories.</p> <p>8.5. Describing various kinds of memory functions in VHDL.</p> <p>8.6. Signals vs. variables – the influence on synthesis.</p> <p>8.7. Asynchronous clocks, the skew phenomenon, and metastability.</p> <p>8.8. Avoiding asynchronous clocks by exploiting the Clock Enable inputs.</p> <p>8.9. Describing FSM-s in VHDL: the Mealy and Moore machines, state assignment, illegal state recovery. 8.10. Writing “architecture-aware” models.</p> <p><b>Zajęcia laboratoryjne</b></p> <p>During the laboratory exercises the students will work in 1-2 person teams. Every team will be appointed an individual task. The task will consist in designing a simple digital circuit, and implementing it in an FPGA device. (Example tasks: a UART, a frequency meter, a VGA test picture generator, a PS2 keyboard tester). The design process will comprise design entry, simulation, and shall be concluded by verification in a physical device.</p> <p><b>20. Egzamin:</b> -</p>
--

<p><b>21. Literatura podstawowa:</b></p> <ol style="list-style-type: none"> <li>1. Skahill K.: VHDL for Programmable Logic, Addison-Wesley Publishing Co., Inc., Boston 1996.</li> <li>2. Perry D.: VHDL: Programming by Example, McGraw-Hill, Inc., 2002.</li> <li>3. Ashenden P. J.: The Designer's Guide to VHDL, Morgan Kaufmann Publishers Inc. San Francisco, 2001.</li> <li>4. Ashenden P. J.: The VHDL Cookbook, Dept. Computer Science, University of Adelaide, South Australia, 1990, <a href="http://tams-www.informatik.uni-hamburg.de/vhdl/doc/cookbook/VHDL-Cookbook.pdf">http://tams-www.informatik.uni-hamburg.de/vhdl/doc/cookbook/VHDL-Cookbook.pdf</a></li> </ol>
--

<p><b>22. Literatura uzupełniająca:</b></p> <ol style="list-style-type: none"> <li>1. Dueck R. K.: Digital Design with CPLD Applications and VHDL, Delmar Thomson Learning, 2000.</li> <li>2. Zeidman B.: Designing with FPGAs and CPLDs, C M P Books, 2002.</li> <li>3. Naylor D. Jones S.: VHDL: A Logic Synthesis Approach, Chapman &amp; Hall, Ltd., 1997.</li> <li>4. Zwoliński M.: Digital System Design with VHDL, Prentice-Hall, Inc., 2003.</li> <li>5. Skahill K.: Język VHDL. Projektowanie programowalnych układów logicznych, WNT, Warszawa, 2001.</li> <li>6. Kalisz J.: Język VHDL w praktyce, WKiŁ, Warszawa 2002.</li> <li>7. Łuba T., Jasiński K., Zwierzchowski B.: Specjalizowane układy cyfrowe w strukturach PLD i FPGA, WKiŁ, Warszawa 1997.</li> <li>8. Pasierbiński J., Zbysiński P.: Układy programowalne w praktyce, WKiŁ, Warszawa 2002.</li> <li>9. Zbysiński P., Pasierbiński J.: Układy programowalne – pierwsze kroki, Wydawnictwo BTC, Warszawa 2004.</li> <li>10. Wrona W.: VHDL - język opisu i projektowania układów cyfrowych, Wydawnictwo Pracowni Komputerowej Jacka Skalmierskiego, Gliwice 2000.</li> </ol>
--

**23. Nakład pracy studenta potrzebny do osiągnięcia efektów kształcenia**

Lp.	Forma zajęć	Liczba godzin kontaktowych / pracy studenta
1	Wykład	15/2
2	Ćwiczenia	0/0
3	Laboratorium	15/20
4	Projekt	0/0
5	Seminarium	0/0
6	Inne	1/5
	Suma godzin	31/27

<b>24. Suma wszystkich godzin: 58</b>
<b>25. Liczba punktów ECTS:<sup>2</sup> 2</b>
<b>26. Liczba punktów ECTS uzyskanych na zajęciach z bezpośrednim udziałem nauczyciela akademickiego: 1</b>
<b>27. Liczba punktów ECTS uzyskanych na zajęciach o charakterze praktycznym (laboratoria, projekty): 1</b>
<b>26. Uwagi:</b>

Zatwierdzono:

.....  
(data i podpis prowadzącego)

.....  
(data i podpis dyrektora instytutu/kierownika katedry/  
Dyrektora Kolegium Języków Obcych/kierownika lub  
dyrektora jednostki międzywydziałowej)

---

<sup>2</sup> 1 punkt ECTS – 30 godzin.